

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-083695

(43)Date of publication of application : 25.03.1994

(51)Int.Cl. G06F 12/02
G06F 13/362
G06F 13/366
G06F 15/64

(21)Application number : 04-121482 (71)Applicant : SANYO ELECTRIC CO LTD

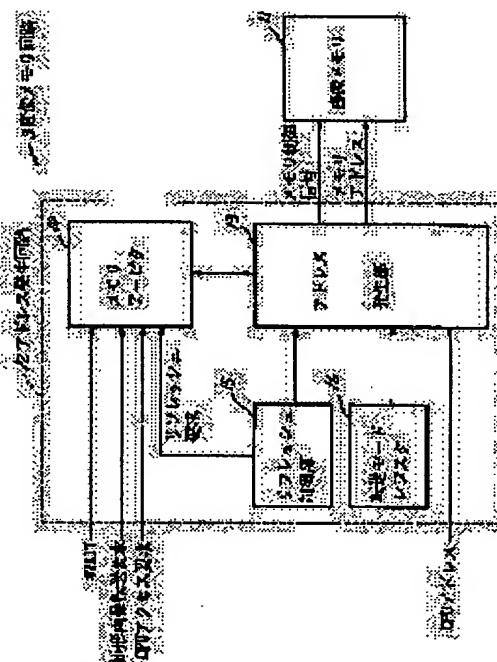
(22)Date of filing : 14.05.1992 (72)Inventor : SUMIYA KAZUE

(54) PICTURE PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To provide a picture processing circuit provided with a mediation function for responding to a request when a memory access request with high priority is presented to a picture memory circuit in the process of performing high-speed data transfer with a bus exclusive for pictures by the picture memory circuit.

CONSTITUTION: The picture memory circuit 3 is provided with a picture memory 11, an address generation part 13 for generating addresses for transferring picture data inside the picture memory 11 at a high speed and a memory arbiter 14 for mediating contention with the memory access request generated during the high-speed data transfer. The memory arbiter 14 discriminates the priority of the respective memory access requests, interrupts the high-speed data transfer corresponding to the memory access request with the high priority, also generates a memory control signal for restarting the high-speed data transfer after completing a responding operation to the memory access request and supplies it to the picture memory 11.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-83695

(43) 公開日 平成6年(1994)3月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	12/02	5 9 0	9366-5B	
	13/362	5 1 0 A	9072-5B	
	13/366	5 1 0 Z	9072-5B	
	15/64	4 5 0 G	9073-5L	

審査請求 未請求 請求項の数1(全 9 頁)

(21) 出願番号 特願平4-121482

(22) 出願日 平成4年(1992)5月14日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 角谷 和重

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

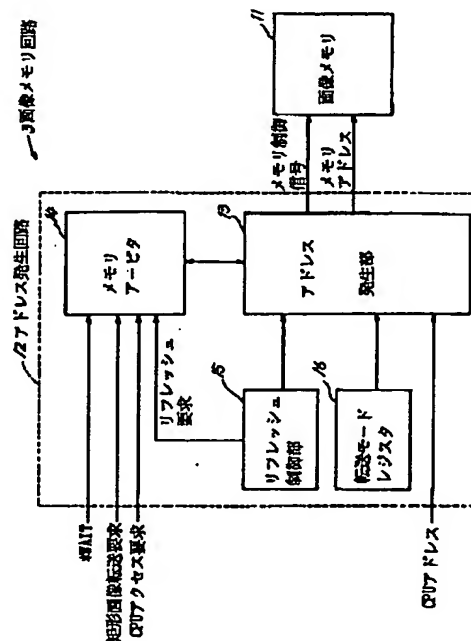
(74) 代理人 弁理士 丸山 敏之 (外3名)

(54) 【発明の名称】 画像処理回路

(57) 【要約】

【目的】 画像メモリ回路が画像専用バスとの高速データ転送を行なっている過程で、該画像メモリ回路に対して優先度の高いメモリアクセス要求があった場合には、該要求に応える調停機能をもった画像処理回路を提供する。

【構成】 画像メモリ回路3は、画像メモリ11と、該画像メモリ11内の画像データを高速に転送するためのアドレスを発生して画像メモリ11へ供給するアドレス発生部13と、前記高速データ転送中に発生するメモリアクセス要求との競合を調停するメモリアービタ14とを具えている。メモリアービタ14は、各メモリアクセス要求の優先度を判定し、優先度の高いメモリアクセス要求に応じて高速データ転送を中断すると共に、該メモリアクセス要求に対する応答動作の終了後に高速データ転送を再開するためのメモリ制御信号を作成し、画像メモリ11へ供給する。



【特許請求の範囲】

【請求項1】 画像メモリ回路(3)と、該画像メモリ回路(3)内の画像データに対して所定の演算処理を実行する画像処理部(4)とが画像専用バス(9)を介して互いに連結されると共に、画像メモリ回路(3)には、汎用バス(8)を介してメモリアクセスが可能なマスターが接続されている画像処理回路において、画像メモリ回路(3)は、2次元のメモリ空間を有する画像メモリ(11)と、前記画像メモリ(11)に格納されている画像データを矩形領域単位で高速に転送するためのアドレスを発生して画像メモリ(11)へ供給するアドレス発生手段と、前記高速データ転送中に発生する1或いは複数のメモリアクセス要求との競合を調停するメモリアービタ(14)とを具え、メモリアービタ(14)は、各メモリアクセス要求の優先度を判定して、前記高速データ転送よりも優先度の高いメモリアクセス要求に応じて高速データ転送を中断すると共に、該メモリアクセス要求に対する応答動作の終了後に高速データ転送を再開するためのメモリ制御信号を作成し、画像メモリ(11)へ供給することを特徴とする画像処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ビデオカメラ等から供給される画像データを記憶する画像メモリを具えて、該画像データに対して、ノイズ除去、特徴抽出等の画像処理を施す画像処理回路に関するものである。

【0002】

【従来の技術】 斯種画像処理回路には、図6に示す如く複数の画像メモリ回路(3)が装備され、これらの画像メモリ回路(3)は、汎用バス(8)及び画像専用バス(9)を介して画像処理部(4)と連結され、該画像処理部(4)によって、画像メモリ回路(3)内の任意の矩形領域の画像データに対して所定の演算処理が施される。又、汎用バス(8)には、マスターとなるCPU(1)が接続されている。

【0003】 上記画像処理回路のCPU(1)は、画像メモリ回路(3)と画像処理部(4)の間のデータ転送に際して、処理対象となる画像メモリ回路(3)内の矩形領域を規定する水平及び垂直方向のデータ転送数、及び開始アドレスを設定すると共に、リード/ライトの種別を設定した後、画像処理部(4)に対して演算処理の内容を指定する。その後、画像制御部(2)へ転送開始指令を送出することにより、画像専用バス(9)を用いた高速の画像転送が実行されるのである。

【0004】 ところで、画像メモリ回路(3)内の2次元のメモリ空間中、任意の矩形領域の画像データを高速に転送する方式として、転送領域の先頭アドレス(ポイント)とX方向及びY方向の転送サイズが設定されることによって、内部カウンタが一定サイクルで自動的に2次元のメモリアドレスを発生させるアドレッシング回路が

提案されている(特開平3-2942[G06F12/00])。

【0005】

【発明が解決しようとする課題】 ところが、従来の画像処理回路においては、画像メモリ回路(3)から画像専用バス(9)への高速の画像データ転送中に、例えばCPU(1)から汎用バス(8)を介して該画像メモリ回路(3)に対してアクセス要求があった場合、CPU(1)に対してメモリアクセスが認められるのは、高速データ転送が終了した後となり、CPU(1)による処理が遅滞する問題がある。

【0006】 又、高速に読み出されるデータを用いて画像処理部(4)にて画像処理を行ったり、或いはパイプライン的な処理を行ない、処理結果を別の画像メモリ回路(3)に書き込むような場合には、データ転送が終了するまで一定サイクルにて処理を続けることになり、画像処理部(4)のタイミングで一時的にデータ転送を停止するには、画像処理部(4)に処理停止分のデータを吸収するための膨大なバッファや付加回路が必要となる。

【0007】 本発明の目的は、画像メモリ回路が画像専用バスとの高速データ転送を行なっている過程で、該画像メモリ回路に対して優先度の高いメモリアクセス要求があった場合には、該要求に応える調停機能具えた画像処理回路を提供することである。

【0008】

【課題を解決するための手段】 本発明に係る画像処理回路において、画像メモリ回路(3)は、2次元のメモリ空間を有する画像メモリ(11)と、前記画像メモリ(11)に格納されている画像データを矩形領域単位で高速に転送するためのアドレスを発生して画像メモリ(11)へ供給するアドレス発生手段と、前記高速データ転送中に発生する1或いは複数のメモリアクセス要求の競合を調停するメモリアービタ(14)とを具えている。

【0009】 尚、高速データ転送中に発生するメモリアクセス要求には、例えばCPU(1)によるアクセス要求、画像処理部(4)からのデータ転送中止要求、メモリのリフレッシュ要求等が含まれる。

【0010】

【作用】 画像メモリ回路(3)が画像専用バス(9)との間で高速データ転送を行なっている過程で、該画像メモリ回路(3)に対して優先度の高い1或いは複数のメモリアクセス要求があったとき、メモリアービタ(14)は、各メモリアクセス要求の優先度を判定して、前記高速データ転送よりも優先度の高いメモリアクセス要求に応じて高速データ転送を中断する。その後、優先度の高いメモリアクセス要求に対する応答動作が終了すると同時に、画像専用バス(9)との高速データ転送が再開される。

【0011】

【発明の効果】 本発明に係る画像処理回路によれば、画像メモリ回路が画像専用バスとの高速データ転送を行なっている過程で、該画像メモリ回路に対して優先度の高

3

いメモリアクセス要求があった場合には、該要求に応える調停機能が発揮されるから、回路全体としてのパフォーマンスが向上することになる。

【0012】

【実施例】以下、本発明を図6の画像処理回路に実施した一例につき、図面に沿って詳述する。

【0013】図6において、CPU(1)は汎用バス(8)を介して回路全体の制御を行なうものであり、画像制御部(2)は、画像データの転送に際して、転送クロック(CLOCK)、転送開始信号等を発生するものである。

【0014】汎用バス(8)及び画像専用バス(9)には、画像入出力部(5)を介して、モニター(6)及びビデオカメラ(7)が接続されている。該画像入出力部(5)はA/D変換器、D/A変換器及びフレームメモリを具え、ビデオカメラ(7)からの画像情報をフレームメモリに書き込み、或いはフレームメモリの内容をモニター(6)に表示することが可能である。又、画像処理部(4)にて処理された画像も前記フレームメモリに入力することが可能となっている。

【0015】上記回路において、CPU(1)からのメモリアクセス等、各ブロック間でのデータ転送は基本的には汎用バス(8)を用いて行なわれるが、画像メモリ間の高速のデータ転送や、画像処理部(4)による画像処理の際には、画像専用バス(9)が用いられる。

【0016】図1は、画像メモリ回路(3)の概略構成を示しており、ダイナミックRAM(DRAM)からなる画像メモリ(11)と、該画像メモリ(11)に対してメモリ制御信号及びメモリアドレスを供給するアドレス発生回路(12)とを具えている。

【0017】画像メモリ(11)に対するアクセスは、ロウアドレスとコラムアドレスの2次元アドレスによって行なわれるが、矩形領域の画像データを高速で転送する際には、DRAMのアクセスモードとして用意されている高速ページモードによるアクセスが実行される。該高速ページモードにおいては、1つのロウアドレスに対してコラムアドレスを一定サイクルで更新すると共に、コラムアドレスに対するストロブ信号 '*CAS' を制御するだけで、同一ラインのデータが高速にアクセスされることになる。

【0018】図1の如く、画像メモリ(11)へ供給すべきメモリアドレス 'MADD'、ロウアドレスストロブ信号 '*RAS'、コラムアドレスストロブ信号 '*CAS' 等のメモリ制御信号は、アドレス発生部(13)によって出力される。

【0019】矩形領域の画像データ 'DATA' の転送においては、転送モードレジスタ(16)に対して、転送せんとする矩形領域のポインタアドレス、即ち先頭画素のロウアドレス及びコラムアドレスを設定すると共に、該矩形領域のサイズとしてX方向転送数(コラムアドレスのカウント数)及びY方向転送数(ロウアドレスのカウン

4

ト数)を設定する。これによって、アドレス発生部(13)は、矩形領域の2次元アドレスを自動的に発生し、同時に高速ページモードのタイミングにて各種メモリ制御信号を画像メモリ(11)へ出力する。

【0020】又、DRAMのリフレッシュタイミングを制御するリフレッシュ制御部(15)がメモリアービタ(14)へ一定のサイクルでリフレッシュ要求を送出する。

【0021】メモリアービタ(14)は、リフレッシュ制御部(15)からのリフレッシュ要求、矩形領域について的高速データ転送要求、CPUアクセス、画像処理部によるデータ転送の待機要求(*WAIT)等、種々のアクセス要求に対し、優先度に従った調停を行なうものである。

【0022】図2及び図3は上記画像メモリ回路(3)を構成するアドレス発生回路(12)の更に具体的な構成を示し、図4及び図5は回路動作を表わしている。ここで、図4は、転送モードレジスタ(16)の設定による矩形画像転送中にCPUアクセス要求が発生した場合、図5は、矩形画像転送中に画像処理部からの転送停止指令 '*WAIT' とリフレッシュ要求 '*REF_RQ' が入った場合の調停処理を示すタイムチャートである。

【0023】前記画像処理部(4)から転送起動パルスが図2の如くアドレス発生回路(12)へ送られてくると、メモリアービタ(14)に対して画像転送要求信号 '*TRN_RQ' が入力される。該転送要求は、優先度が最も低く設定されているため、他のメモリアクセス要求がなければ、アドレス発生部(13)を構成するタイミング制御回路(18)へ画像転送許可信号 'TRN_GR' が出力される。

【0024】タイミング制御回路(18)は、選択信号 'SEL' を第1のマルチプレクサ(21)へ供給して、アドレスカウンタ(19)から出力される内部アドレスを選択すると共に、ロウとコラムの切換え信号 'R/*C' を第2のマルチプレクサ(22)へ供給して、DRAMのメモリアドレスバスにロウ及びコラムの2次元アドレスを多重する。

【0025】メモリアービタ(14)によって画像転送が許可され、メモリが転送サイクルにて動作している期間は、タイミング制御回路(18)の使用巾信号 '*M_BUSY' がイネーブルとなり、メモリアービタ(14)に対してメモリが使用中であることを報知する。

【0026】優先度の高いメモリ要求が矩形画像転送中に入らなかった場合は、転送モードレジスタ(16)に設定された矩形領域のデータ転送が終了すると同時に、終了信号 '*TRN_END' が出力され、転送要求が解除される。

【0027】図4の如く、矩形画像転送中にCPUアクセスが発生した場合には、アドレスデコーダ(17)からメモリアービタ(14)に対してCPUアクセス要求 '*CPU_RQ' が出力される。CPUアクセス要求は矩形画像転送要求よりも優先度が高いため、メモリアービタ(1

4)は、CPUアクセス要求「*CPU_RQ」の入力に応じて、転送許可信号「*TRN_GR」を解除し、タイミング制御回路(18)にメモリの解放を要求する。

【0028】タイミング制御回路(18)では、転送サイクルを正常なタイミングで終了すると、使用中信号「*M_BUSY」をディスエーブルとし、メモリアービタ(14)に対してメモリが解放されたことを報知する。これを受けてメモリアービタ(14)は、CPUアクセス許可信号「*CPU_GR」をタイミング制御回路(18)へ出力し、第1マルチプレクサ(21)を汎用バスより入力されるCPUアドレスバスに切替える。

【0029】又、タイミング制御回路(18)からアドレスカウンタ(19)へ出力されるアドレスカウンタ用のカウンタイネーブル信号「*CNT_ENA」も転送サイクルの停止と共にディスエーブルとし、これによって、転送が停止した時点でのロウ及びコラムのメモリアドレスは、該アドレスカウンタ(19)に保持された状態となる。

【0030】アドレスデコーダ(17)へ入力されるストローブ信号が中断すると、該アドレスデコーダ(17)はCPUアクセス要求を解除し、これによってメモリアービタ(14)は許可信号「*CPU_GR」を解除する。そして、CPUサイクルが正常に終了し、メモリが解放されて使用中信号「*M_BUSY」がディスエーブルとなるのを待って、再度転送許可を出力する。

【0031】これによって転送サイクルが許可されると、転送を中断した時点でのロウ及びコラムアドレスはアドレスカウンタ(19)に保持されているため、後続のアドレスから矩形画像転送が再開されることになる。

【0032】通常の矩形画像転送中は、図4中に示す画像データD11~D31、D12~D42のように、前記画像制御部(2)から出力される画像転送用クロック「CLOCK」に同期して、一定の周期で連続的にアクセスが行なわれるが、途中でCPUアクセスによって転送が停止された場合には、その期間はデータが途絶えることになる。

【0033】そこで、画像制御部(2)及び画像処理部(4)とのインターフェース信号として、タイミング制御回路(18)は確定信号「*VALID」を作成し、画像メモリ(11)へ出力する。該確定信号は、図4及び図5に示すように画像データが有効な期間だけアクティブとなるように作成される。これによって、CPUアクセスによる転送の中断や、画像処理部(4)からの待機信号「*WAIT」による強制的な転送の停止の時など、データの中断や転送停止を認識するのである。

【0034】図5は、矩形画像転送中に画像処理部からの転送停止が入った場合のアービタ及びアドレス発生部での処理を示している。前記画像処理部(4)には、矩形画像転送により連続的に転送されるデータをパイプライン的に処理する専用ハードウェアと、汎用的な処理を高

速に行なうためのDSP(デジタルシグナルプロセッサ)が搭載されており、DSPから画像専用バス(9)を経て転送されてくる画像データの読込み等、転送サイクルよりも時間のかかる処理においては、待機信号「*WAIT」及び確定信号「*VALID」によるデータ転送の停止、再転送という制御が必要となる。

【0035】そこで、メモリアービタ(14)は、画像処理部からの待機信号「*WAIT」によって転送停止要求を受けると、転送許可信号「*TRN_GR」を解除し、タイミング制御回路(18)へ転送停止を報知する。これを受けてタイミング制御回路(18)は、現在実行中の転送サイクルを正常に終了させて、確定信号「*VALID」をディスエーブルとする。これによって、画像処理部(4)は、データ転送が停止したタイミングを認識する。

【0036】データ転送停止期間中にリフレッシュ要求が発生した場合には、メモリアービタ(14)は該リフレッシュ要求を受けつけ、タイミング制御回路(18)に対し、メモリのリフレッシュを行なうように許可信号「*REF_GR」をイネーブルとする。

【0037】図5の例では、リフレッシュモードとして所謂CASビフォアRASモードを採用している。リフレッシュが終了すると、許可信号「*REF_GR」を解除し、待機信号「*WAIT」がディスエーブルとなるまでの期間、矩形画像転送は停止状態を保持する。

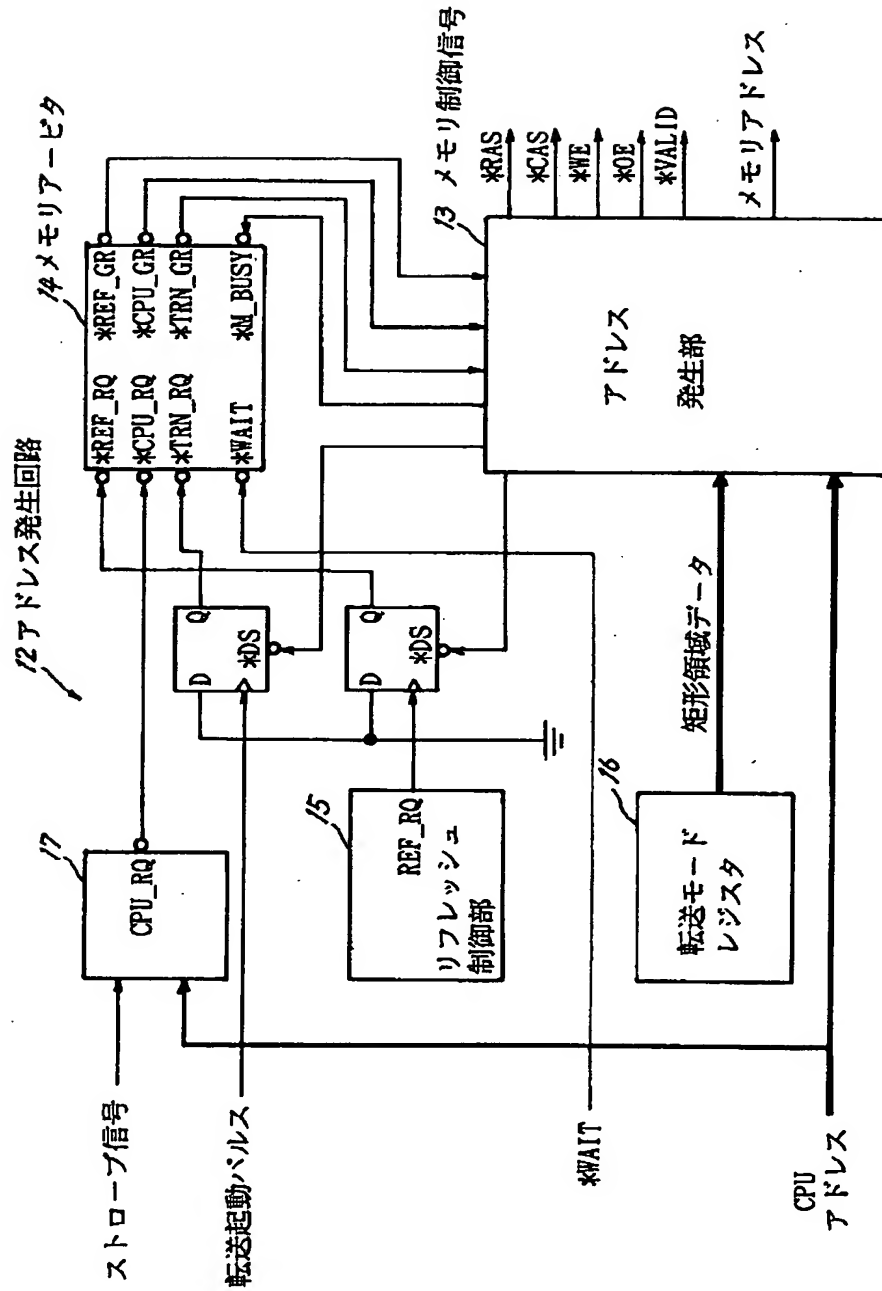
【0038】待機信号「*WAIT」が解除され、メモリアービタ(14)によって画像処理部(4)へのデータの再転送が許可されると、アドレスカウンタ(19)に保持されているアドレスに引き続き、転送アドレスが順次発行されて、データが画像専用バス(9)に出力される。これと同時に確定信号「*VALID」はイネーブルとし、画像処理部(4)に対してデータの転送が再開されたことを報知するのである。

【0039】上記画像処理回路によれば、ポイント及び転送サイズ設定による矩形領域の画像データの高速転送を可能とすると共に、該矩形領域の全データの転送の終了を待つことなく、CPU(1)は、汎用バス(8)を介して任意の画像メモリ回路(3)をリアルタイムにアクセスすることが可能である。

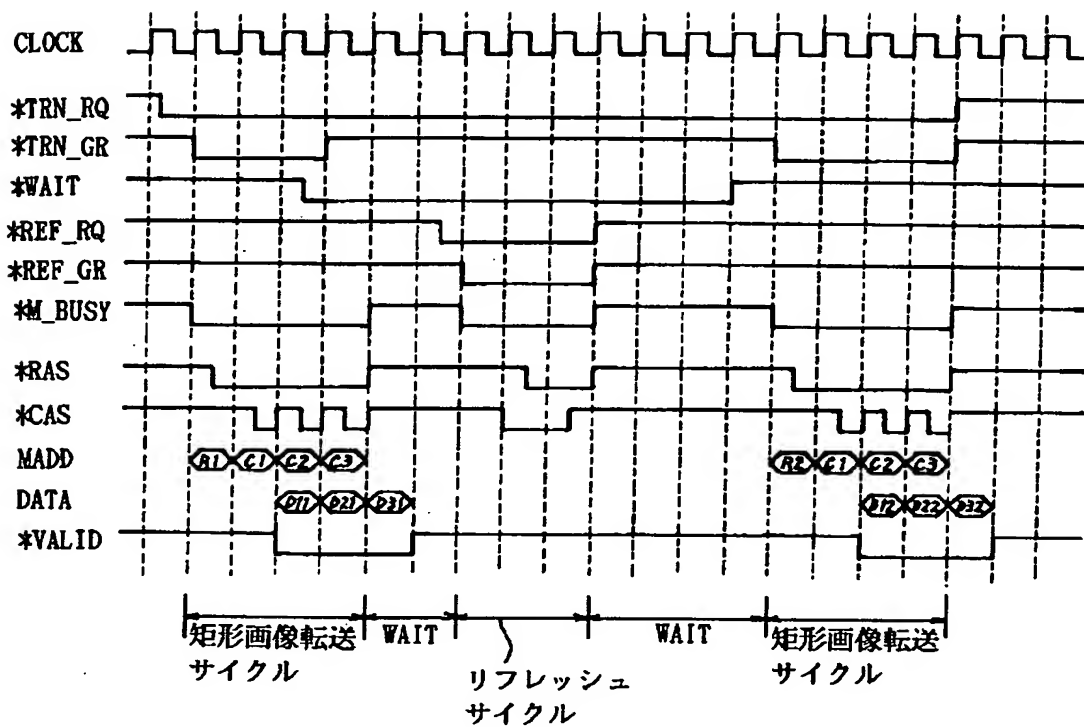
【0040】又、上記画像処理回路によれば、画像処理部(4)から発せられる待機信号「*WAIT」による一時的なデータ転送の停止や、メモリリフレッシュにも柔軟に対応出来、回路全体としてのパフォーマンスの向上が図られる。

【0041】上記実施例の説明は、本発明を説明するためのものであって、特許請求の範囲に記載の発明を限定し、或は範囲を減縮する様に解すべきではない。又、本発明の各部構成は上記実施例に限らず、特許請求の範囲に記載の技術的範囲内で種々の変形が可能であることは勿論である。

【図2】



【図5】



【図6】

